

Docket No.: 57454-178

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Shoichiro NAKAZAWA, et al.

Serial No.:

Filed: July 27, 2001

For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

Group Art Unit:

Examiner:

#3
Cherson
2/4/02

J1046 U.S. PTO

09/915567



07/27/01

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-016522,
Filed January 25, 2001

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:ykg
Date: July 27, 2001
Facsimile: (202) 756-8087

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

57454-178
July 27, 2001
NAKAZAWA, ETAL.
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2001年 1月25日

出 願 番 号
Application Number:

特願2001-016522

出 願 人
Applicant(s):

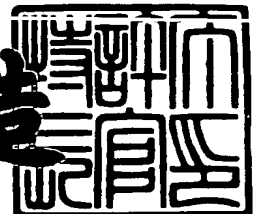
三菱電機株式会社
菱電セミコンダクタシステムエンジニアリング株式会社



2001年 2月23日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3011722

【書類名】 特許願

【整理番号】 528156JP01

【提出日】 平成13年 1月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/31

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミコンダクタシ
ステムエンジニアリング株式会社内

【氏名】 中澤 正一郎

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 小林 平治

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 591036505

【氏名又は名称】 菱電セミコンダクタシステムエンジニアリング株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体層および導体層のうちのいずれかから構成される基層の上に間隙をおいて複数の配線層を並列状に近接させて形成する近接配線層形成工程と、

前記間隙を埋めて前記配線層を被覆する絶縁層を堆積する絶縁層堆積工程と、
平面的に見て前記間隙の長手方向に沿うように、前記絶縁層に間隔をあけて 2 つ以上のコンタクトホールを開口するコンタクトホール開口工程と、

前記コンタクトホール内に短絡防止絶縁膜を形成する短絡防止絶縁膜形成工程と、

形成された前記短絡防止絶縁膜のうち少なくとも前記コンタクトホールの底部の前記短絡防止絶縁膜を除去して前記基層を露出させる短絡防止膜除去工程と、

前記基層に接して前記コンタクトホールを埋めるように導電性材料によってプラグ配線を形成するプラグ配線形成工程とを備える、半導体装置の製造方法。

【請求項 2】 前記近接配線層形成工程が、前記基層の上に形成された配線層の各々と前記隙間における基層とを被覆する被覆絶縁膜を形成する被覆絶縁膜形成工程を備える、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記コンタクトホール開口工程では、前記被覆絶縁膜形成工程で形成された前記間隙の底部の前記基層を覆う被覆絶縁膜に届くようにコンタクトホールを開口する、請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記コンタクトホール開口工程は、前記間隙の底部の前記基層を覆う被覆絶縁膜を除去して前記基層を露出させる被覆絶縁膜除去工程を備える、請求項 2 に記載の半導体装置の製造方法。

【請求項 5】 前記短絡防止絶縁膜形成工程では、CVDによって、シリコン窒化膜およびシリコン酸化膜のうちの少なくとも一方を成膜する、請求項 1 ～ 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 前記複数の配線層をワード線を構成するトランスファゲートとし、前記プラグ配線を前記基層とビット線とを接続するポリパッドとする、請

求項 1 ～ 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】 半導体層および導電層のいずれかから構成される基層の上に、間隙をおいて並列状に近接して配置された複数の配線層と、前記間隙を埋めて前記配線層を被覆するように配置された絶縁層と、平面的に見て前記間隙の長手方向に沿って、前記絶縁層の部分に間隔をあけて 2 つ以上配置された、前記基層に届く導電性材料からなるプラグ配線とを備え、前記プラグ配線と前記絶縁層との間に前記絶縁層と異なる短絡防止絶縁膜を備える、半導体装置。

【請求項 8】 前記絶縁層の前記間隙を埋める部分に生じたボイドに前記短絡防止絶縁膜が入り込んでいる、請求項 7 に記載の半導体装置。

【請求項 9】 前記短絡防止絶縁膜が、窒化シリコン膜および酸化シリコン膜のうちの少なくとも一方である、請求項 7 または 8 に記載の半導体装置。

【請求項 10】 前記導電性材料が不純物を含むポリシリコンである、請求項 7 ～ 9 のいずれかに記載の半導体装置。

【請求項 11】 前記複数の配線層がワード線を構成するトランスファゲートであり、前記プラグ配線が前記基層とビット線とを接続するポリパッドである、請求項 7 ～ 10 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関し、より具体的には、高集積度の半導体回路構造において回避的に絶縁層等に発生する欠陥を無害化する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

半導体装置の小型化の進展にともない、ビット線の電極としてポリパッドが形成されたポリパッド型セル構造では、トランスファゲート（トランスファゲート: Transfer Gate）間の間隙が短くなることは避けられない。このため、そのトランスファゲート間の隙間形状は深さ方向に長い高アスペクト比を有するように

なっている。通常、トランスファゲートの導電配線をパターニングした後、その導電配線の上面および側面に被覆保護膜として窒化膜が形成され、さらに、上記のトランスファゲート間の隙間を埋めるように、トランスファゲートを覆って絶縁層が形成される。

【0003】

【発明が解決しようとする課題】

上述のようにトランスファゲート間に高アスペクト比の隙間がある場合、絶縁層を形成する際、トランスファゲート間の隙間を完全に絶縁層で埋め込むことができず、平面的に見てトランスファゲートの長手方向に沿って長く延びるボイドを、絶縁層中に生じる場合が多い。図15は、DRAM(Dynamic Random Access Memory)におけるトランスファゲートおよびポリパッドの配置を示す平面図であり、また、図16は、図15におけるXVI-XVI断面図である。図15によれば、2列のトランスファゲート103の間の隙間を埋める層間絶縁膜108の中に、ボイドを発生する可能性が高い領域109aが延在している。この領域109aにおいて、図16に示すように、ボイド109が形成されると、ポリパッドを形成するポリシリコンの堆積時に、ボイド中にポリシリコンが入り込んでしまい、図17に示すように、隣り合うポリパッド104a、104bの間に短絡が発生する。図17によれば、隣り合うポリパッド104a、104bを接続するようにボイドを埋めるポリシリコン114が形成されている。このような短絡が生じると、歩留りが低下し納期遅れ等を生じてしまう。

【0004】

本発明は、狭い隙間において近接して並べて配置された配線層を有する高集積度の半導体装置において、隙間を埋める絶縁層中にボイドが生じた場合でも、隙間に沿って間隔をおいて形成されるプラグ配線間に短絡を生じない構造を有する半導体装置およびその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、半導体層および導体層のうちのいずれかから構成される基層の上に隙間をおいて複数の配線層を並列状に近接させて形成す

る近接配線層形成工程と、間隙を埋めて配線層を被覆する絶縁層を堆積する絶縁層堆積工程と、平面的に見て間隙の長手方向に沿うように、絶縁層に間隔をあけて2つ以上のコンタクトホールを開口するコンタクトホール開口工程と、コンタクトホール内に短絡防止絶縁膜を形成する短絡防止絶縁膜形成工程と、形成された短絡防止絶縁膜のうち少なくともコンタクトホールの底部の短絡防止絶縁膜を除去して基層を露出させる短絡防止膜除去工程と、基層に接してコンタクトホールを埋めるように導電性材料によってプラグ配線を形成するプラグ配線形成工程とを備える（請求項1）。

【0006】

この製造方法によれば、隙間を埋める部分およびその周辺部分の絶縁層にボイドが形成されても、コンタクトホールの側壁に顔を出したボイド中に短絡防止絶縁膜が入り込み遮断されるので、隣り合うプラグ配線どうしが導通する事態を避けることができる。なお、上記の間隙では、その深さと幅との比は、絶縁層を形成する際に、ボイドを発生するおそれがあるほど大きいものが対象となる。

【0007】

本発明の半導体装置の製造方法では、近接配線層形成工程が、たとえば、基層の上に形成された配線層の各々と隙間における基層とを被覆する被覆絶縁膜を形成する被覆絶縁膜形成工程を備えることが望ましい（請求項2）。

【0008】

この製造方法により、たとえば、隣り合うトランスファゲートの間の所定の位置にポリパッドを形成しても、隣り合うトランスファゲートが短絡することを確実に防止することができる。

【0009】

本発明の半導体装置の製造方法では、たとえば、コンタクトホール開口工程では、被覆絶縁膜形成工程で形成された間隙の底部の基層を覆う被覆絶縁膜に届くようにコンタクトホールを開口することができる（請求項3）。

【0010】

上記構成により、配線層を被覆する被覆絶縁膜を除去する前に短絡防止絶縁膜を堆積してボイドを遮断した上で、短絡防止絶縁膜除去工程において、隙間底部

の被覆絶縁膜と短絡防止絶縁膜とを一度に、たとえばエッチバックしてしまうことができる。この結果、製造能率を上げることができる。

【 0 0 1 1 】

本発明の半導体装置の製造方法では、たとえば、コンタクトホール開口工程は、間隙の底部の基層を覆う被覆絶縁膜を除去して基層を露出させる被覆絶縁膜除去工程を備えることができる（請求項 4）。

【 0 0 1 2 】

この構成により、短絡防止絶縁膜形成後の被覆膜除去工程では、短絡防止絶縁膜のみを除去すればよいので、ボイドを遮断している短絡防止絶縁膜をあまり除去することなく、プラグ配線形成工程に移ることができる。このため、より確実な短絡防止を確保することができる。なお、被覆絶縁膜除去工程は、コンタクトホール開口工程における、絶縁層にコンタクトホールを開ける処理がそのまま継続した工程であってもよい。また、コンタクトホール開口工程とは別のエッチング処理を行う工程であってもよい。

【 0 0 1 3 】

本発明の半導体装置の製造方法では、たとえば、短絡防止絶縁膜形成工程では、CVD (Chemical Vapor Deposition) によって、シリコン窒化膜およびシリコン酸化膜のうちの少なくとも一方を形成することができる（請求項 5）。

【 0 0 1 4 】

CVD によれば、短絡防止絶縁膜は、ボイドの入口からの見通しが悪いボイドの奥にまで入り込んで堆積することができるので、ボイドを確実に埋め、遮断することができる。したがって、より高い信頼性でプラグ配線間の短絡を防止することができる。

【 0 0 1 5 】

本発明の半導体装置の製造方法では、たとえば、導電性材料が不純物を含むポリシリコンであることが望ましい。不純物を含むポリシリコンは、処理方法やその特性がこれまでによく知られた材料なので、再現性よく安定して簡便にプラグ配線を形成することができる。

【 0 0 1 6 】

本発明の半導体装置の製造方法では、たとえば、複数の配線層を、ワード線を構成するトランスファゲートとし、プラグ配線を基層とビット線とを接続するポリパッドとすることができる（請求項6）。

【0017】

この構成により、DRAM、SRAM、フラッシュメモリ等のメモリチップおよびCPU、MPU等のロジックチップのポリパッドを短絡させることなく形成することができる。この結果、これら半導体装置の信頼性を高め、製造における歩留りを向上させることができる。

【0018】

本発明の半導体装置は、半導体層および導電層のいずれかから構成される基層の上に、間隙をおいて並列状に近接して配置された複数の配線層と、間隙を埋めて配線層を被覆するように配置された絶縁層と、平面的に見て間隙の長手方向に沿って、絶縁層の部分に間隔をあけて2つ以上配置された、基層に届く導電性材料からなるプラグ配線とを備え、プラグ配線と絶縁層との間に絶縁層と異なる短絡防止絶縁膜を備える（請求項7）。

【0019】

この構造により、ボイドの発生のおそれのある隙間を伴う構造を含むことが避けられない半導体装置において、たとえ隙間の部分またはその周辺部分の絶縁層に長手方向に沿ってボイドが生じて、プラグ配線間で短絡が発生することが防止される。このため、半導体装置の信頼性を高め、製造における歩留りを向上させることができる。なお、上記の間隙の深さと幅との比は、絶縁層を形成する際に、ボイドを発生するおそれがあるほど高い溝が対象となる。プラグ配線と絶縁層との間に配置された短絡防止絶縁膜は、プラグ配線の周囲をすべて覆っている必要はなく、プラグ配線と絶縁層との間に部分的に位置していれば、本発明に該当する。また、一部のプラグ配線で上記構造があれば本発明に該当する。

【0020】

上記本発明の半導体装置では、たとえば、絶縁層の間隙を埋める部分に生じているボイドに短絡防止絶縁膜が入り込んでいる構造とすることが望ましい（請求項8）。

【 0 0 2 1 】

ボイドに短絡防止絶縁膜が入り込むことにより、ボイドを電氣的に遮断しプラグ配線間の短絡を防止する確実度をより高くすることができる。ボイドは、プラグ配線間に通して生じている必要はなく、少しでもプラグ配線用のコンタクトホールに開口している部分があればよい。少しでもコンタクトホールに開口している部分があれば、短絡防止絶縁膜はその開口部分に入り込むことができる。また、すべてのプラグ配線が、上記短絡防止絶縁膜がその開口部に入り込んだボイドを有している必要はなく、一部のプラグ配線が短絡防止絶縁膜がその開口部に入り込んだボイドを有していれば上記発明に該当する。

【 0 0 2 2 】

上記本発明の半導体装置では、短絡防止絶縁膜が、たとえば、窒化シリコン膜および酸化シリコン膜のうちの少なくとも一方であることが望ましい（請求項 9）。

【 0 0 2 3 】

これらの短絡防止絶縁膜を用いることにより、ボイドの発生の危険性のある高アスペクト比の間隙をはさむ配線構造を避けられない半導体装置において、安価な短絡防止絶縁膜を用いてボイドに起因するプラグ配線間の短絡を防止することができる。

【 0 0 2 4 】

上記本発明の半導体装置では、たとえば、導電性材料が不純物を含むポリシリコンであることが望ましい（請求項 10）。

【 0 0 2 5 】

この構成により、たとえば、ビット線と基層とを確実に接続することができる安価な半導体装置を得ることができる。

【 0 0 2 6 】

上記本発明の半導体装置では、たとえば、複数の配線層がワード線を構成するトランスファゲートであり、プラグ配線が基層とビット線とを接続するポリパッドであるようにできる（請求項 11）。

【 0 0 2 7 】

この構成により、ボイドの発生のおそれがある高アスペクト比の隙間を含むDRAM、フラッシュメモリ等のメモリチップおよびCPU、MPU等のロジックチップを、ボイドを経由した短絡を生じることなく製造することができる。この結果、これら半導体装置の信頼性を高め、製造における歩留りを向上させることができる。

【0028】

【発明の実施の形態】

次に図面を用いて本発明の実施の形態について説明する。

【0029】

（実施の形態1）

図1および図2は、本発明の実施の形態1の半導体装置の製造方法において、本発明に特徴的な処理工程を示す図である。図1は平面図であり、図2は図1におけるII-II断面図である。これらの図において、半導体基板1の上に、隙間10をはさんで2列のトランスファゲート3が形成され、各トランスファゲート3は、その側面と上面とが被覆絶縁膜3aによって被覆されている。この被覆絶縁膜3aは、隙間10の底部の半導体基板の上も被覆しているが、図2に示すコンタクトホール11の底部の部分では、除去されている。絶縁層8は、隙間10を埋めるようにトランスファゲート3を覆って形成される。この絶縁膜8には、ポリパッドを形成するために隙間10の長手方向に沿って間隔をあけてコンタクトホール11が開口されている。

【0030】

本発明において問題とするボイド9は、平面的に見て、隙間を覆う絶縁層において隙間10の長手方向に沿って生成する。したがって、ボイドは、図2において、紙面に垂直に延びている。ポリパッドを形成するために、トランスファゲート間の所定の位置にコンタクトホール11を掘ると、図2の断面図において、ボイド9は、コンタクトホール11の奥の絶縁層8の壁に開口部を現わす。従来のように、このまま、コンタクトホールをポリシリコンで埋め込みポリパッドを形成すると、ボイドの中にもポリシリコンが堆積され、ボイドに堆積したポリシリコンを経由して隣り合うポリパッドが導通し、短絡を生じてしまう。

【 0 0 3 1 】

そこで、図 1 および図 2 に示すように、コンタクトホール 1 1 を開けた後、絶縁層 8 およびトランスファゲート 3 のサイドウォールの表面に C V D (Chemical Vapor Deposition) によって、短絡防止絶縁膜である窒化膜 5 を堆積する。この窒化膜 5 は、ボイドの中にも入り込み、ボイドを埋めて隣り合うコンタクトホール間を遮断する。C V D 法によって、短絡防止絶縁膜の窒化膜を成膜することにより、ボイドの開口部から見通しの悪い奥の部分にまで、短絡防止絶縁膜のガス成分が届いてそこで成膜するので、コンタクトホール間の遮断を確実にすることができる。

【 0 0 3 2 】

さらに、図 3 に示すように、トランスファゲートの側面の肩の部分、および、隙間 1 0 の底部の窒化膜 5 をエッチバックする。このエッチバックによって、余分な窒化膜 5 を除去して、コンタクトホールを埋めるプラグ配線と半導体基板 1 との接触を確保することができる。

【 0 0 3 3 】

次に、図 1 ～図 3 の処理段階にいたるまでの処理工程および図 1 ～図 3 から後の処理工程について説明する。図 4 は、半導体基板 1 の表面に素子分離帯 2 9 を形成し、その間の領域に不純物を注入してウェル（図示せず）を形成した段階の断面図である。次いで、図 5 に示すように、紙面に垂直に走るワード線を構成するトランスファゲート 3, 2 3, 2 6 を形成する。トランスファゲートは導電層部と、その上面と側面とを被覆する被覆絶縁膜 3 a, 2 3 a, 2 6 a とから構成される。さらに、不純物を注入してチャネル（図示せず）を形成する。

【 0 0 3 4 】

図 6 は、図 5 における A 部を拡大した図である。この後、絶縁膜 8 を堆積するが、図 7 に示すように、隙間 1 0 の部分の絶縁膜 8 にボイド 9 が生成する。次いで、ポリパッド用のコンタクトホール 1 1 を開口すると、図 8 に示すように、コンタクトホール 1 1 の側壁にボイド 9 の横断面が現れる。

【 0 0 3 5 】

この後、図 1 および図 2 に示したように、コンタクトホール 1 1 内に短絡防止

絶縁膜である窒化膜 5 を成膜し、次いで、図 3 に示したように、この窒化膜 5 をエッチバックする。上述のように、この図 1 ～図 3 の処理工程が、本発明の根幹をなす処理工程の部分である。

【 0 0 3 6 】

この後、図 9 に示すように、コンタクトホール 1 1, 2 1, 2 7 を埋めるようにポリシリコンを堆積しプラグ配線を形成する。このプラグ配線が、ビット線と半導体基板とを連絡するポリパッド 1 2, 2 2, 2 8 である。次いで、図 1 0 に示すように、絶縁層 8 の上にポリパッドに接続するビット線 3 1 を形成する。この後、絶縁層 3 8 を堆積し、その後、ビット情報を記憶するコンデンサ部を構成するストレージノードとコンタクトをとるストレージノードコンタクト 3 2 を形成する（図 1 1 参照）。その後、絶縁層 3 9 を堆積し、コンタクトホールを開口後にストレージノードを形成する。ストレージノードは、ストレージノードコンタクト 3 2 に接続する下層電極 3 3 と、その上の誘電体層 3 4 と、その上の上層電極 3 5 とで構成され、絶縁層 3 9 の上の配線層 3 6 に上層電極 3 5 が接続される。

【 0 0 3 7 】

図 1 2 は、上記のように形成された D R A M の平面図を示す。ワード線を構成するトランスファゲート 3, 2 3 が紙面上下の方向に走り、ビット線 3 1 がそれに直交するように紙面左右方向に走っている。ビット線は、トランスファゲートと同様に幅を有するが、図面を見やすくするために、線で表示している。トランスファゲート 3, 2 3 の間の隙間には、ボイドを生成する可能性の高い領域 9 a が、トランスファゲートに平行に延在する。図 1 2 において、ポリパッド 1 2 は、ビット線の一本おきに領域 9 a を通って隣り合うポリパッドと、ボイドを通して短絡する可能性がある。図 1 においては、短絡する可能性のある 2 つのポリパッドの間の領域は省いている。図 1 3 は、図 1 2 の X I I I B - X I I I B 線の断面に対応する部分 B を含む断面図である。図 1 3 においては、図 1 2 の処理段階からさらに絶縁層 4 1 が堆積され、絶縁層 4 1 中にメタル配線コンタクト 4 3 が形成され、その上に 1 層目メタル配線が成膜される。さらに、1 層目メタル配線 4 4 を覆うように絶縁層 4 2 が成膜され、次いで、メタル配線間コンタクト 4

6が形成され、その上に2層目メタル配線45が形成され、DRAMの電極が形成される。

【0038】

上記したように、本実施の形態では、短絡防止絶縁膜形成工程とそのエッチバック工程のため、ボイドの中で、隣り合うポリパッドが窒化物に隔てられる。このため、後でポリシリコンを堆積してポリパッドを形成しても、絶縁が保たれ、ポリパッド間で短絡が生じることがなくなる。本実施の形態における短絡防止処理では、コンタクトホール11の内面を窒化膜5で被覆してエッチバックする処理が増えるだけなので、容易にかつ確実にポリパッドどうしの短絡を防止することができる。

【0039】

（実施の形態2）

図14は、本発明の実施の形態2における半導体装置の製造方法を示す図面である。本実施の形態2では、絶縁層8の堆積後、ポリパッド形成のためのコンタクトホール開口工程において、コンタクトホールを半導体基板に届くまで深く開口せず、被覆絶縁膜3aに到達した時点で終了する。この時点で、ボイド9がコンタクトホール11の側壁にその開口部を露出させる。次いで、コンタクトホール11の表面に短絡防止絶縁膜5を形成し、ボイドを短絡防止絶縁膜で埋め、隣り合うポリパッドを遮断する。この後、コンタクトホール11の底部の窒化膜5と被覆絶縁膜3aとに対してエッチバックを行ない、隙間10の部分の半導体基板を露出させる。この後、ビット線と半導体基板とを接続するプラグ配線を形成した場合、ボイドは短絡防止絶縁膜によって埋められているので、ボイドを通して隣り合うプラグ配線間に短絡は生じることはない。

【0040】

本実施の形態では、トランスファゲートの導電層を被覆する被覆絶縁膜と、短絡防止絶縁膜とをエッチバックの際に一緒に除去するので、コンタクトホール開口工程における終了時点をそれほど厳密に管理する必要がなくなる。エッチバックの際に半導体基板に到達するエッチングを行なう処理は、エッチングする膜厚が薄いので、終了時の管理はそれほど精度は必要としない。このため、能率よく

、高歩留りで製造することが可能になる。

【0041】

上記において、本発明の実施の形態について説明を行ったが、上記に開示された本発明の実施の形態はあくまで例示であって、本発明の範囲はこれら発明の実施の形態に限定されない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むものである。

【0042】

【発明の効果】

本発明により、狭い間隙をおいて近接して並べて配置された配線層を有する高集積度の半導体装置において、間隙を埋める絶縁層中にボイドが生じた場合でも、間隙に沿って間隔をおいて形成されるプラグ配線間に短絡を生じない。このため、DRAM、フラッシュメモリ等のメモリチップおよびCPU、MPU等のロジックチップを、ボイドを経由した短絡を生じることなく製造することができる。この結果、これら半導体装置の信頼性を高め、製造における歩留りを向上させることが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の製造方法において、コンタクトホール内面に短絡防止絶縁膜を成膜した段階の平面図である。

【図2】 図1におけるII-II断面図である。

【図3】 図1および図2の状態に対してエッチバックを行ない半導体基板を露出させた段階の断面図である。

【図4】 本発明の実施の形態1における半導体装置の製造方法において、半導体基板に素子分離絶縁帯を設け、ウェルを形成するために不純物を注入した段階の断面図である。

【図5】 図4の状態に対して、ワード線であるトランスファゲートを形成した段階の断面図である。

【図6】 図5のA部拡大図である。

【図7】 図6の状態に対して絶縁膜を堆積した段階の断面図である。

【図 8】 図 7 の状態に対してポリパッド用のコンタクトホールを開口した段階の断面図である。

【図 9】 図 3 に示したエッチバックの後で、プラグ配線（ポリパッド）を形成した段階の断面図である。

【図 10】 図 9 の状態に対して、ビット線を形成した段階の断面図である。

【図 11】 図 10 の状態に対して、絶縁層を堆積し、ストレージノードコンタクトを形成し、その上の絶縁層をさらに堆積し、ビット情報を記憶するストレージノードを形成した段階の断面図である。

【図 12】 実施の形態 1 における DRAM のワード線とビット線との配置を示す部分平面図である。

【図 13】 図 12 における X I I I B-X I I I B 線の断面を含む、実施の形態 1 における DRAM の概要を示す断面図である。

【図 14】 本発明の実施の形態 2 における DRAM の製造方法において、コンタクトホール内面に短絡防止絶縁膜を成膜した段階の平面図である。

【図 15】 従来の DRAM のトランスファゲートとボイド発生の可能性のある領域を示す平面図である。

【図 16】 図 15 における X V I-X V I 断面図である。

【図 17】 従来の DRAM において、ボイドを通じてポリパッド間に発生する短絡を説明する平面図である。

【符号の説明】

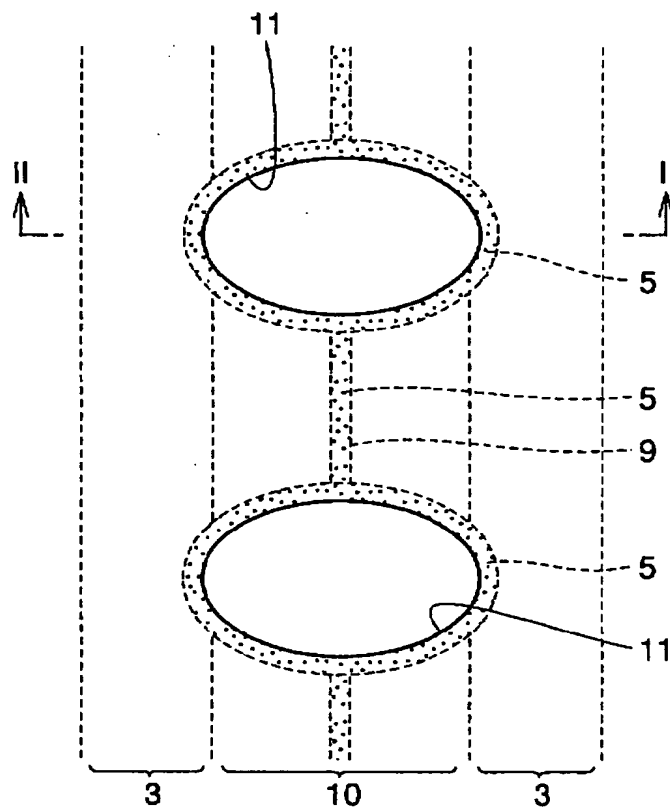
1 半導体基板、3 トランスファゲート（配線層）、3 a トランスファゲートの被覆絶縁膜、5 窒化膜（短絡防止絶縁膜）、8 絶縁層、9 ボイド、9 a ボイドを発生する可能性の高い領域、10 間隙、11 コンタクトホール、12 ポリパッド（プラグ配線）、21 コンタクトホール、22 ポリパッド（プラグ配線）、23 トランスファゲート、23 a 被覆絶縁膜、26 トランスファゲート、26 a 被覆絶縁膜、27 コンタクトホール、28 プラグ配線、31, 31 a ビット線、38, 39, 41, 46 絶縁層、32 ストレージノードコンタクト、33 下層電極、34 誘電体層、35 上層電

極、3 6 配線層、4 4 1 層目メタル配線、4 5 2 層目メタル配線、4 6
メタル配線間コンタクト。

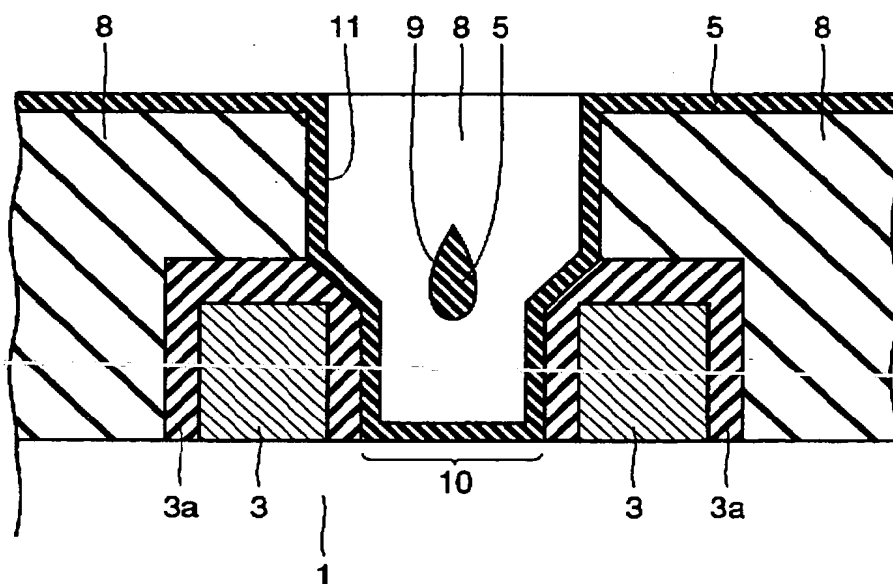
【書類名】

図面

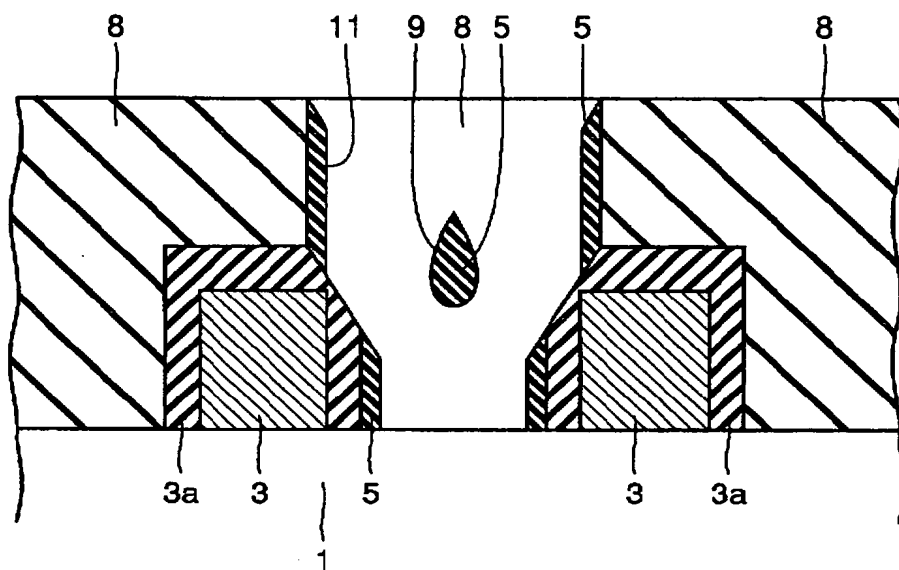
【図 1】



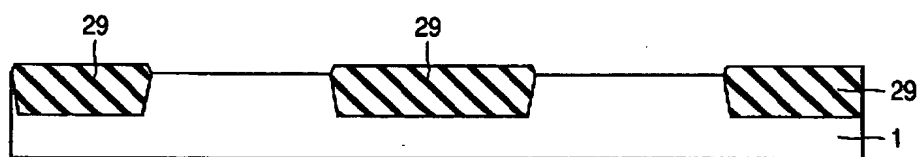
【図 2】



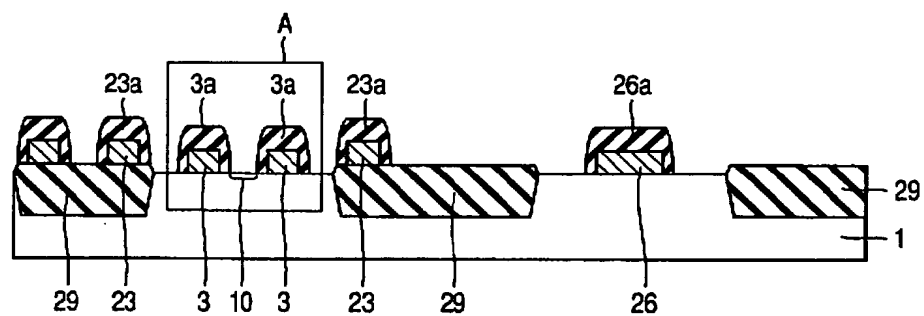
【図 3】



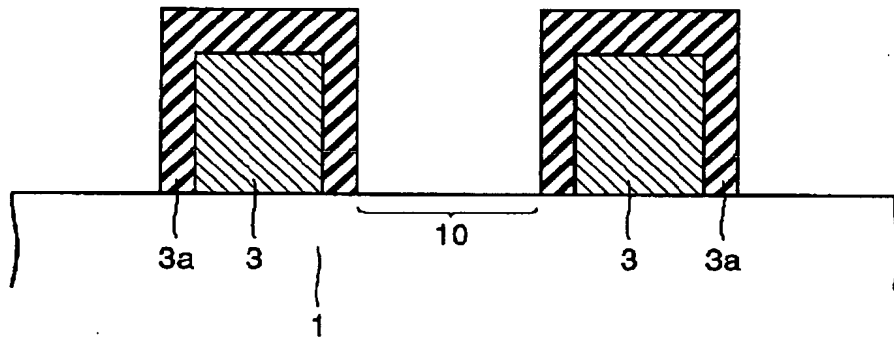
【図 4】



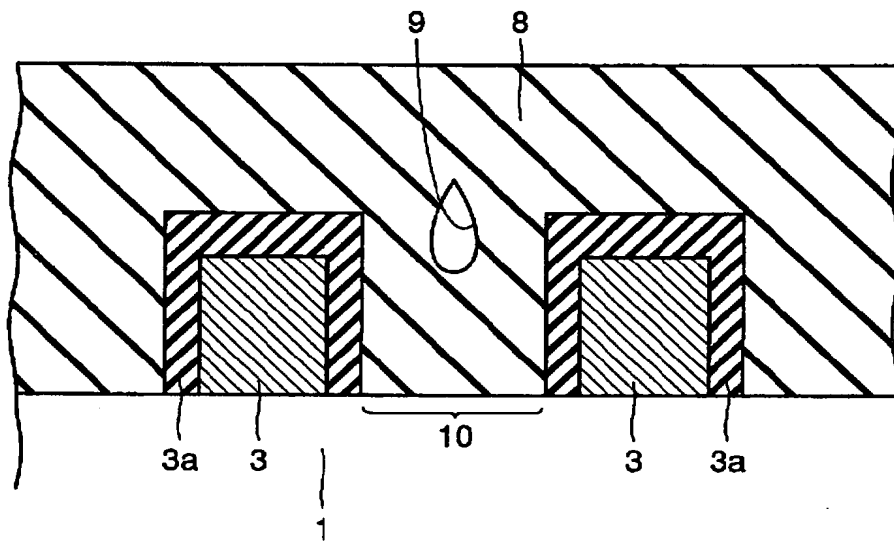
【図 5】



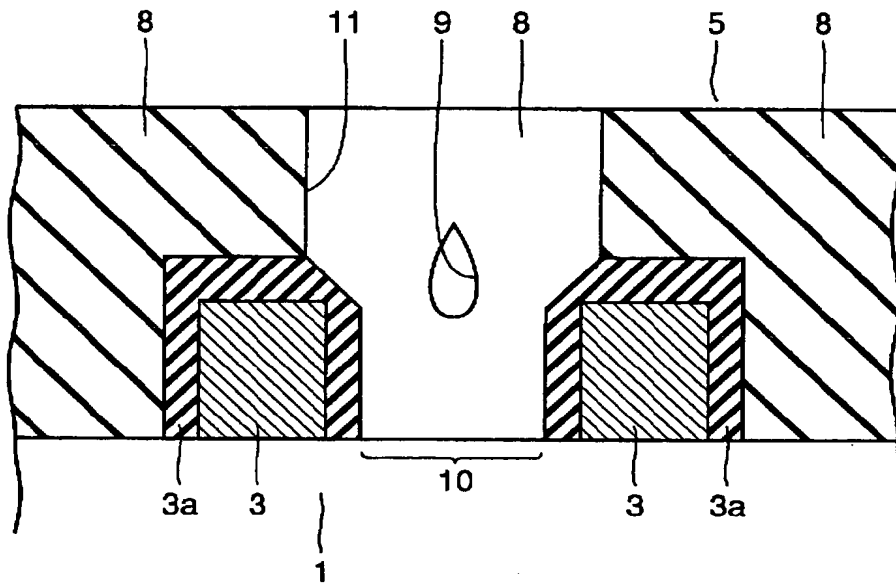
【図6】



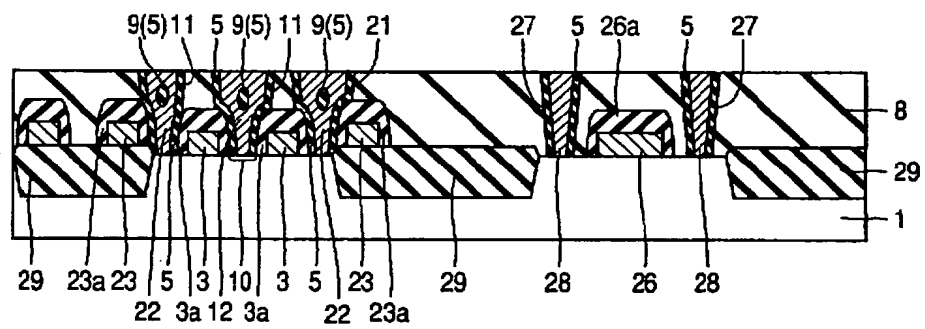
【図7】



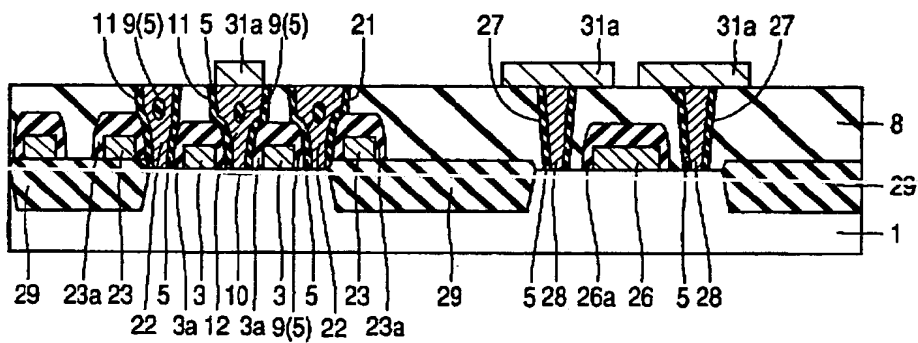
【図 8】



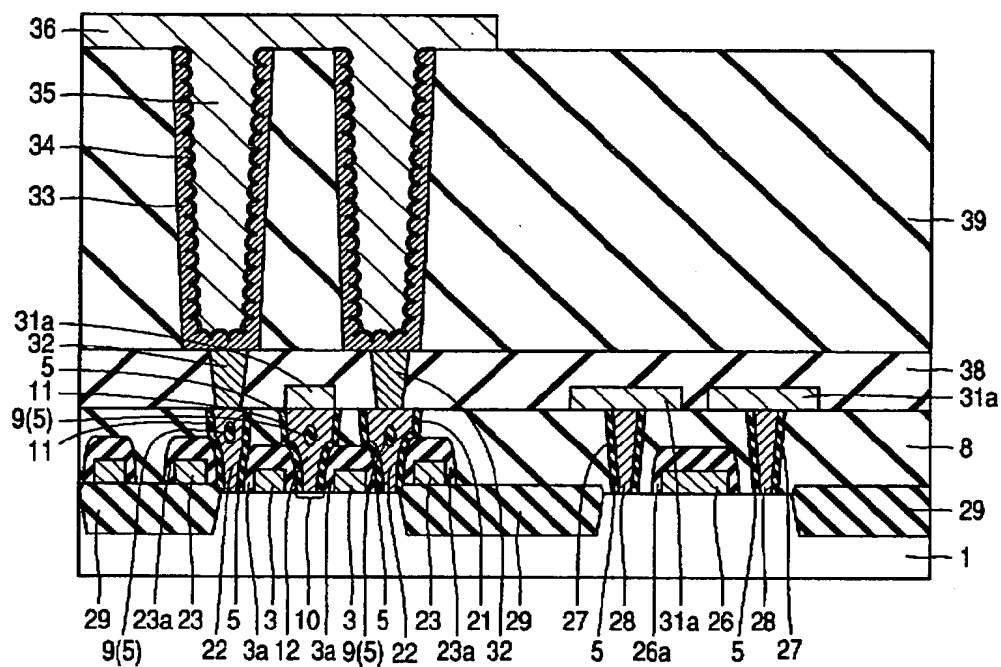
【図 9】



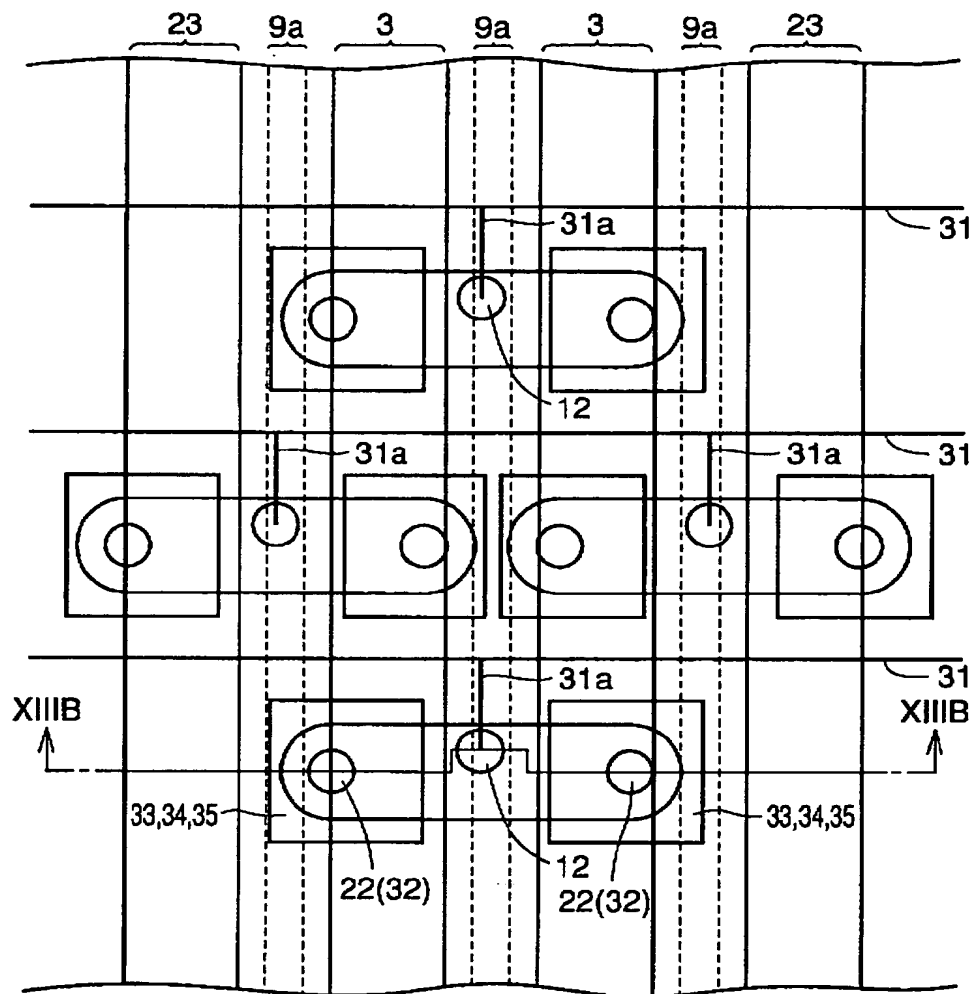
【図 10】



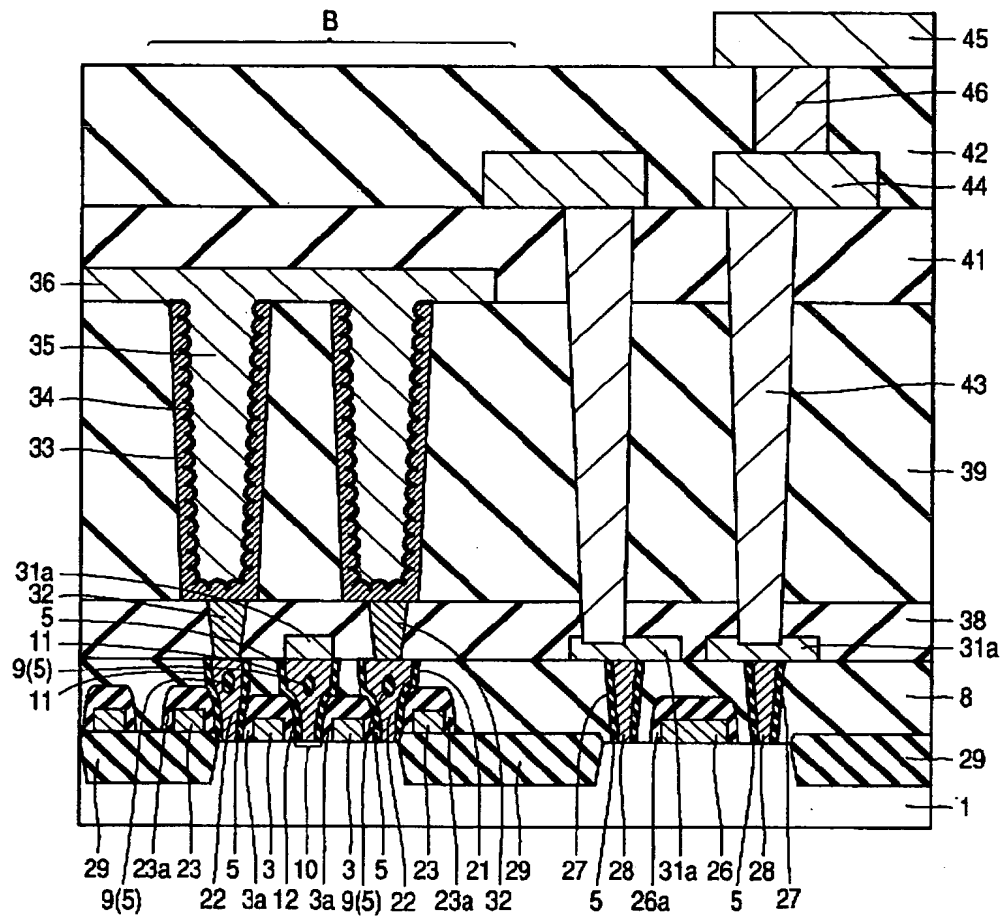
【図 11】



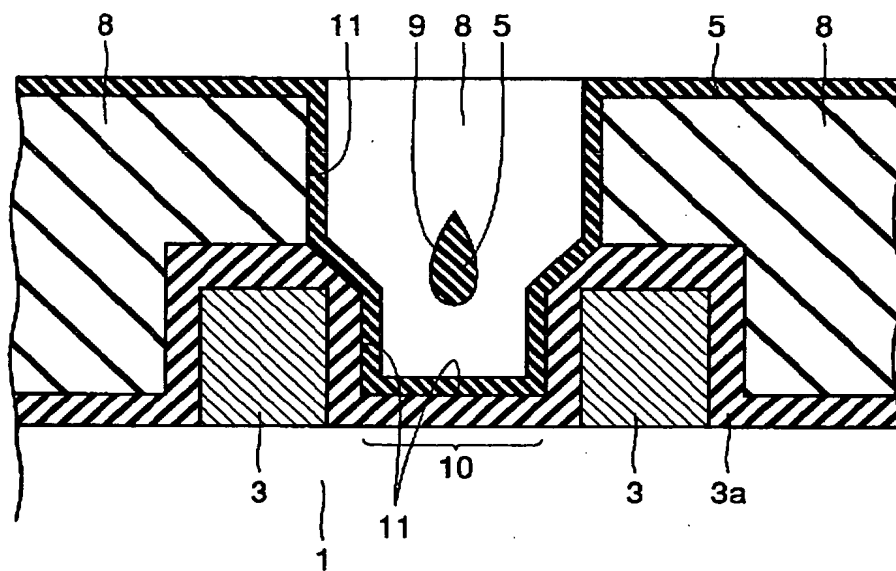
【図 12】



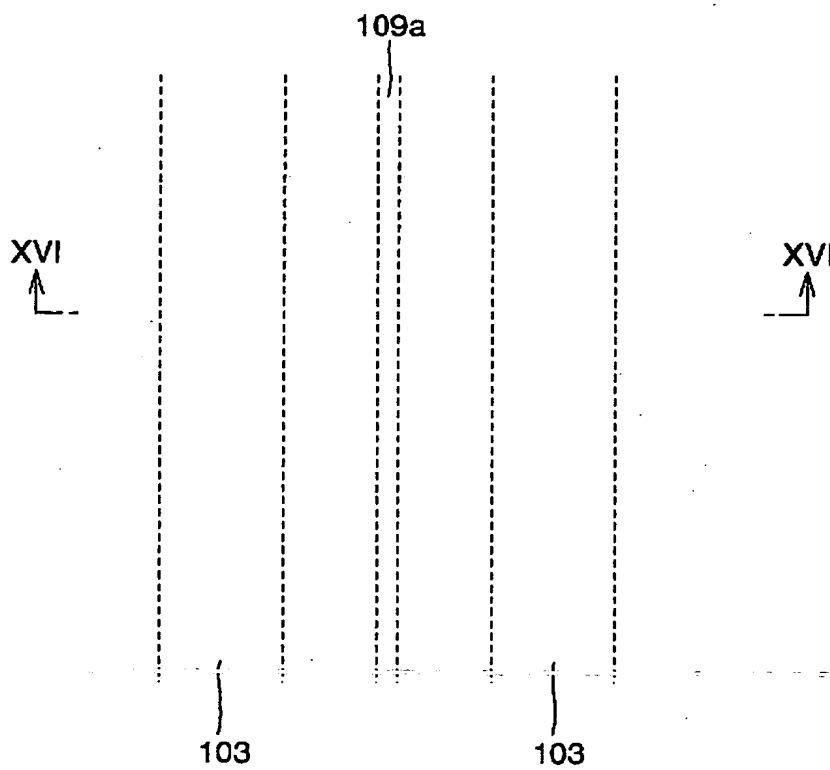
【図 13】



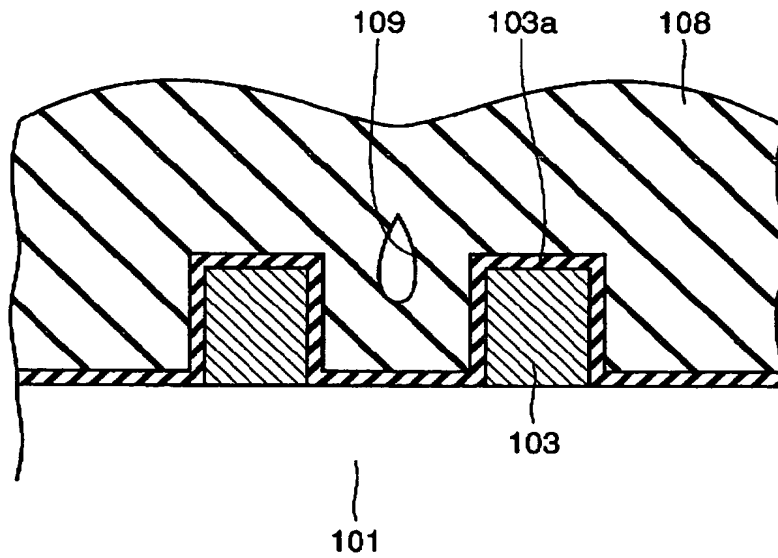
【図 1 4】



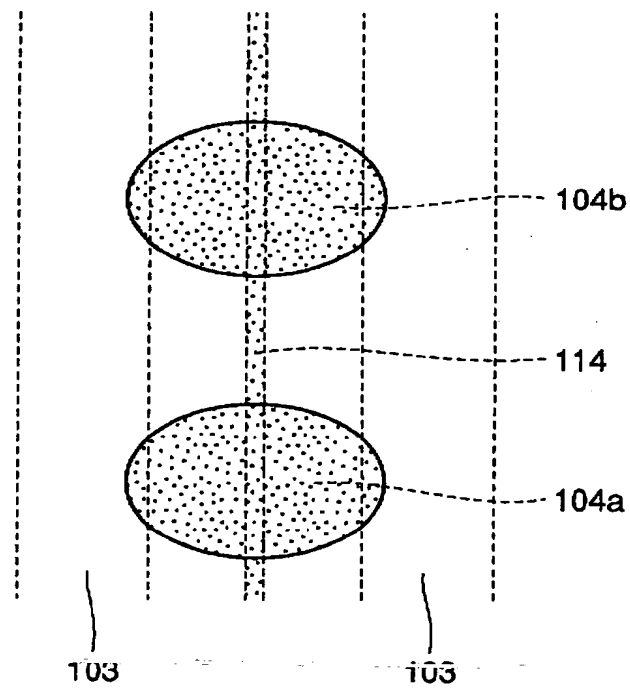
【図 1 5】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 配線層間の間隙の絶縁層中にボイドを生じた場合でも、プラグ配線間に短絡を生じない構造を有する半導体装置とその製造方法を提供する。

【解決手段】 半導体基板 1 に間隙 1 0 をおいてトランスファゲート 3, 2 3 を近接して形成する工程と、間隙を埋めて配線層を被覆する工程と、間隙部の絶縁層 8 にコンタクトホール 1 1 を開口する工程と、コンタクトホール内に短絡防止絶縁膜 5 を形成する工程と、少なくとも隙間底部の短絡防止絶縁膜 5 を除去し半導体基板 1 を露出させるエッチバック工程と、プラグ配線 1 2 の形成工程とを備える。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [591036505]

1. 変更年月日	1991年 2月26日
[変更理由]	新規登録
住 所	兵庫県伊丹市瑞原4丁目1番地
氏 名	菱電セミコンダクタシステムエンジニアリング株式会社